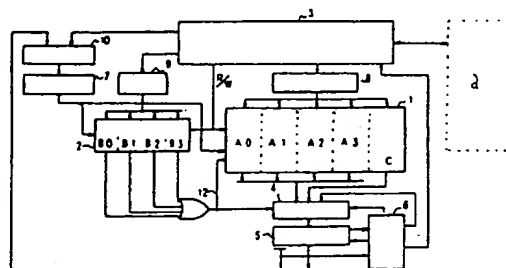


(54) STORAGE DEVICE

(11) 61-253565 (A) (43) 11.11.1986 (19) JP
 (21) Appl. No. 60-95784 (22) 4.5.1985
 (71) NEC CORP (72) MASAOKI SANO(1)
 (51) Int. Cl.⁴ G06F12/16, G06F11/16

PURPOSE: To avoid a useless case where the nondefective areas within each memory area are inapplicable equally owing to the generation of a 1-bit error, by providing a means which sets an access to a substitute memory area only when uncorrectable error is detected.

CONSTITUTION: A microinstruction contains a 2-bit error detection/1-bit error correction code. An error control circuit 6 invalidates the microinstruction within a microinstruction register 5 when an uncorrectable 2-bit error is detected. An access control circuit 3 receives an error generating address and writes the using inhibition information to the corresponding area in a control information memory 2. Then the circuit 3 reads again a microinstruction group stored in a fault generating area in a control memory 1 out of a main memory and writes it into a substitute memory area C in the memory 1. When a reading action is started, the using inhibition information is supplied to the memory 1 from the memory 2. Then the accesses are invalidated to areas A0~ and at the same time the access to the area C is validated.



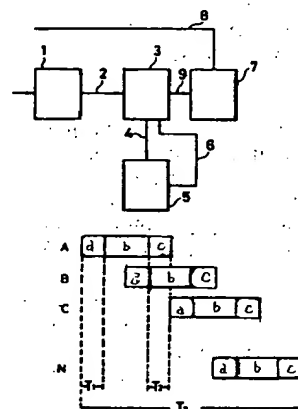
4,10: selector, 7: address register, 8,9: data register, a: main memory

(54) COMMUNICATION CONTROLLER

(11) 61-253566 (A) (43) 11.11.1986 (19) JP
 (21) Appl. No. 60-95099 (22) 2.5.1985
 (71) NEC ENG LTD (72) YOSHIE SUZUKI
 (51) Int. Cl.⁴ G06F13/00, H04L13/00

PURPOSE: To shorten the time during which a transmission start is instructed and the transmission is through by performing the pre-process of transmission, the after-process of transmission and the transmission process in parallel with each other when the transmission start instructions are given continuously.

CONSTITUTION: When a transmission start instruction A is supplied, an input/output instruction decoding circuit 1 transmits a start instruction signal 2 for a transmission pre-processing circuit 3. The circuit 3 transmits a transmission start instruction signal 4. When the next transmission start instruction B is supplied while a transmission circuit 5 is transmitting data according to the instruction A. Then the circuit 3 is kept waiting until the circuit 5 finishes the transmission of data based on the instruction A and sends the signal 4 of the instruction B to the circuit 5 by a transmission end informing signal 6 sent from the circuit 5. Then the circuit 3 transmits a start instruction signal for a transmission after-processing circuit 7. The circuit 7 transmits a transmission processing end informing signal 8 when the transmission after-processing is over.



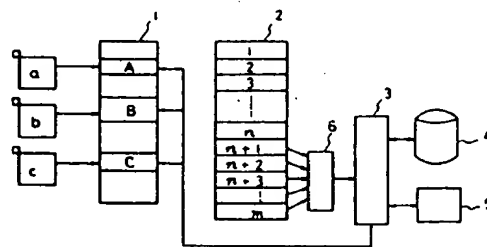
a: pre-transmission processing, b: transmission processing, c: post-transmission, processing, C~N: transmission start instruction

(54) DATA INPUT AND OUTPUT SYSTEM

(11) 61-253567 (A) (43) 11.11.1986 (19) JP
 (21) Appl. No. 60-95578 (22) 7.5.1985
 (71) TOSHIBA CORP (72) KAZUHIRO AKIYAMA
 (51) Int. Cl.⁴ G06F13/10, G06F9/46

PURPOSE: To perform the input and output of data at a high speed in an operating system for multiple users and tasks by registering previously an address to an input/output segment of a memory control table to specify an input/output exclusive memory area of each process.

CONSTITUTION: An address is registered to a segment (n+1) for data input/output within a memory control table 2 to specify a data input/output subject memory area A of a process (a). While the addresses are registered to the segments (n+2) and (n+3) to specify the data input/output subject memory areas B and C of processes (b) and (c) respectively. When the process (a) is switched to the process (b), a scheduler 6 is switched and a data input/output controller 3 reads the address of the area B out of the segment (n+2). Then the data input/output is carried out between the area B of a memory 1 and a peripheral device, e.g., a floppy disk 5 desired by the process (b).



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-253567

⑬ Int. Cl.⁴

G 06 F 13/10
9/46

識別記号

庁内整理番号

B-7165-5B
M-8120-5B

⑭ 公開 昭和61年(1986)11月11日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 データ入出力方式

⑯ 特 願 昭60-95578

⑰ 出 願 昭60(1985)5月7日

⑱ 発 明 者 秋 山 和 浩 青梅市末広町2丁目9番地 株式会社東芝青梅工場内

⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

データ入出力方式

2. 特許請求の範囲

プロセスが特定の周辺機器との間でデータ入出力を行なう際に、データ入出力コントローラが、メモリ管理テーブルに書き込まれた前記プロセスのデータ入出力対象となるメモリ領域を特定するアドレスを読み込んで、前記周辺機器と前記メモリ領域間のデータ入出力制御を行うデータ入出力装置において、前記メモリ管理テーブルに複数のデータ入出力用セグメントを設け、複数のプロセスが生じた場合、各プロセス専用の前記データ入出力対象メモリ領域を特定するアドレスを、予め必要な数の前記データ入出力用セグメントそれぞれに書き込んでおき、プロセススイッチが起きた場合、前記データ入出力コントローラが該当プロセス専用の前記メモリ領域を特定するアドレスを前記メモリ管理テーブルから読み込むようにするスイッチ手段を設けたことを特徴とするデータ

入出力方式。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、UNIXのようなマルチユーザ、マルチタスクのオペレーティングシステム(OS)に好適なデータ入出力方式(物理入出力方式)に関する。

〔発明の技術的背景〕

従来、OSによるデータ入出力は第2図に示すような構成にて行なわれていた。符号a、b、cはデータ入出力を行なおうとしているプロセスを示し、メモリ1の領域A、B、Cは各プロセスa、b、cが専用に使用するデータ入出力対象メモリ領域である。メモリ管理テーブル2は上記各プロセスのデータ入出力用のセグメント1～nと入出力セグメント21とを有している。但し、上記入出力セグメントには、現在データ入出力をしようとするプロセスに対応するメモリ領域を特定するアドレスが、OSによって書き込まれる。データ入出力コントローラ3は磁気ディスク4やフロッピー

ーディスク5等の周辺機器を接続している。更に、このデータ入出力コントローラ3はメモリ管理テーブル2の入出力用セグメント21に書き込まれているアドレスを読み込んで、このアドレスで指定されたメモリ1のメモリ領域と、プロセスが希望する特定の周辺機器間とのデータ入出力を制御する。

例えば、メモリ管理テーブル2の入出力用セグメント21にメモリ領域Aのアドレスが書き込まれていた場合で、プロセスaが磁気ディスク4とのデータ入出力を行ないたい場合、データ入出力コントローラ3はメモリ領域Aと磁気ディスク4間のデータ入出力伝送路を形成して、データの出入力を行う。

従って、プロセススイッチ（データ入出力を行なうプロセスが変化すること）が起きると、OSがデータ入出力の対象となるメモリ領域を特定するアドレスをメモリ管理テーブル2内の入出力用セグメント21に書き込んでから、上記データの出入力が開始される。

場合、各プロセスの入出力専用のメモリ領域を特定するアドレスを予め前記入出力用セグメントに登録しておき、プロセススイッチがおきた場合は、対応するアドレスをデータ入出力コントローラに知らせる方式とすることにより、上記目的を達成するものである。

〔発明の実施例〕

以下本発明の一実施例を従来例と同一部には同一符号を付して図面を参照して説明する。第1図は本発明のデータ入出力方式の一実施例を示したブロック図である。符号a、b、cはデータ入出力を行なおうとしているプロセスで、メモリ1の領域A、B、Cは前記プロセスa、b、cのデータ入出力対象メモリ領域である。メモリ管理テーブル2はプロセス用のセグメント1、2、3、…nと、データ入出力用セグメントn+1、n+2…mとを有している。データ入出力コントローラ3は磁気ディスク4及びフロッピーディスク5等の周辺機器を接続している。またこのデータ入出力コントローラ3は、スケジューラ6によって選

〔背景技術の問題点〕

ところで、上記のような従来のデータ入出力装置をUNIXのようなマルチユーザ、マルチタスクのOSにてコントロールする場合、データ入出力を行うプロセスが複数個生じる。この為、これら複数のプロセスに対応した複数のメモリ領域と周辺機器間におけるデータ入出力を同時に行なおうとすると、メモリ管理テーブル2の入出力用セグメント21の書き換えが上記プロセススイッチの都度起こり、この書き換え時間のロスによって、データ入出力の速度が低下するという欠点があった。

〔発明の目的〕

本発明の目的は、上記の欠点に鑑み、マルチユーザ、マルチタスクのオペレーティングシステム下におけるデータ入出力の高速化を図るデータ入出力方式を提供することにある。

〔発明の概要〕

本発明は、メモリ管理テーブルに複数の入出力用セグメントを用意し、複数のプロセスが生じた

択されるデータ入出力用セグメントに書き込まれているアドレスを読み込み、このアドレスで特定されたメモリ1のメモリ領域とプロセスが希望する周辺機器間のデータ入出力を制御する。スケジューラ6は、現在データ入出力を行なおうとしているプロセスの対象メモリ領域を特定するアドレスをデータ入出力コントローラ3が読み込めるように、プロセススイッチに連動して切換わるものである。

次に本実施例の動作について説明する。先ず、3つのプロセスa、b、cが生成されると、OSはメモリ管理テーブル2のプロセス用セグメント1、2、3にプロセスa、b、cが専有するメモリ領域を登録する。次に3つのプロセスが同時にデータ入出力を開始すると、OSはメモリ管理テーブル2の中のデータ入出力用セグメントn+1にプロセスaのデータ入出力対象メモリ領域Aを特定するアドレス（1K単位）を登録し、以下同様にセグメントn+1、n+2にはプロセスb、cのデータ入出力対象メモリ領域B、Cを特定す

るアドレスを登録する。ところで、UNIXのようなタイムシェアリングマルチタスク下のOSにおいては、プロセススイッチが起きるため、データ入出力中であってもプロセスa、b、c相互間でスイッチがおきる。OSはこのプロセススイッチがおきた時、スケジューラ6を切换え、現在データ入出力を行なおうとしているプロセスに対応するメモリ領域を特定するアドレスが登録されているデータ入出力用セグメントの内容をデータ入出力コントローラ3が読み込めるようにする。

即ち、今、プロセスaがデータ入出力中である時は、データ入出力コントローラ3はメモリ管理テーブル2の入出力用セグメント $n+1$ に登録されているメモリ領域Aのアドレスを読み込む。このため、データ入出力コントローラ3は、メモリ1の領域Aとプロセスaが希望する周辺機器、例えば磁気ディスク4との間を接続して両者の間のデータ入出力を制御する。ここで、プロセスaからプロセスbにスイッチがおきると、これに連動してスケジューラ6が切替わるため、データ入

力コントローラ3は入出力用セグメント $n+2$ からメモリ領域Bのアドレスを読み込む。このため、メモリ1の領域Bとプロセスbが希望する周辺機器、例えばフロッピーディスク5との間でデータ入出力が行なわれる。

本実施例によれば、プロセススイッチが起きる毎にメモリ管理テーブル2内の入出力用セグメントの書き換えが不要となるため、マルチプロセス下でのデータ入出力の高速化を図ることができる。

〔発明の効果〕

以上記述した如く本発明のデータ入出力方式によれば、メモリ管理テーブルに複数の入出力用セグメントを用意し、複数のプロセスが生じた場合各プロセスの入出力専用のメモリ領域を特定するアドレスを予め前記入出力用セグメントに登録しておき、プロセススイッチがおきた場合は、対応する前記アドレスをデータ入出力コントローラに読み込ませて、プロセスが希望した周辺機器と該当メモリ領域間のデータの入出力を行う方式を採用することにより、マルチユーザ、マルチタスク

のオペレーティングシステム下におけるデータ入出力の速度を向上し得る効果がある。

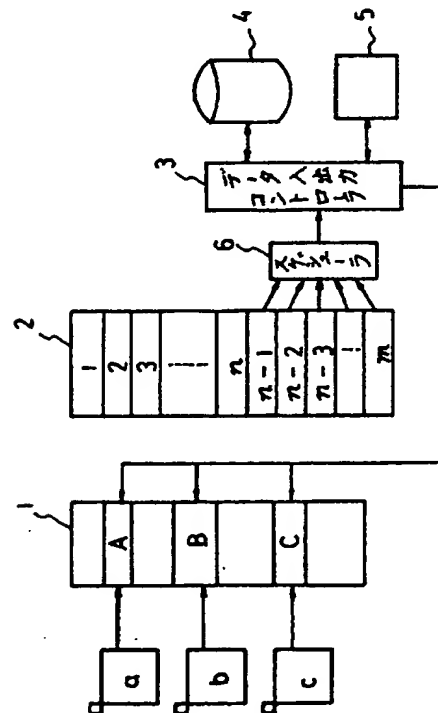
4. 図面の簡単な説明

第1図は本発明のデータ入出力方式の一実施例を示したブロック図、第2図は従来のデータ入出力方式の一実施例を示したブロック図である。

- 1…メモリ
- 2…メモリ管理テーブル
- 3…入出力コントローラ
- 4…磁気ディスク
- 5…フロッピーディスク
- 6…スケジューラ

代理人 弁理士 則 近 憲 佑 (ほか1名)

図
一
概



第 2 図

